

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 10 月 21 日 (21.10.2004)

PCT

(10) 国際公開番号
WO 2004/090990 A1

- (51) 国際特許分類: H01L 29/74
(21) 国際出願番号: PCT/JP2004/005046
(22) 国際出願日: 2004 年 4 月 7 日 (07.04.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-105650 2003 年 4 月 9 日 (09.04.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 関西電力株式会社 (THE KANSAI ELECTRIC POWER CO., INC.) [JP/JP]; 〒5308270 大阪府大阪市北区中之島 3 丁目 3 番 2 2 号 Osaka (JP).
(72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 浅野 勝則

(ASANO, Katsunori) [JP/JP]; 〒5308270 大阪府大阪市北区中之島 3 丁目 3 番 2 2 号 関西電力株式会社内 Osaka (JP). 菅原 良孝 (SUGAWARA, Yoshitaka) [JP/JP]; 〒5308270 大阪府大阪市北区中之島 3 丁目 3 番 2 2 号 関西電力株式会社内 Osaka (JP).

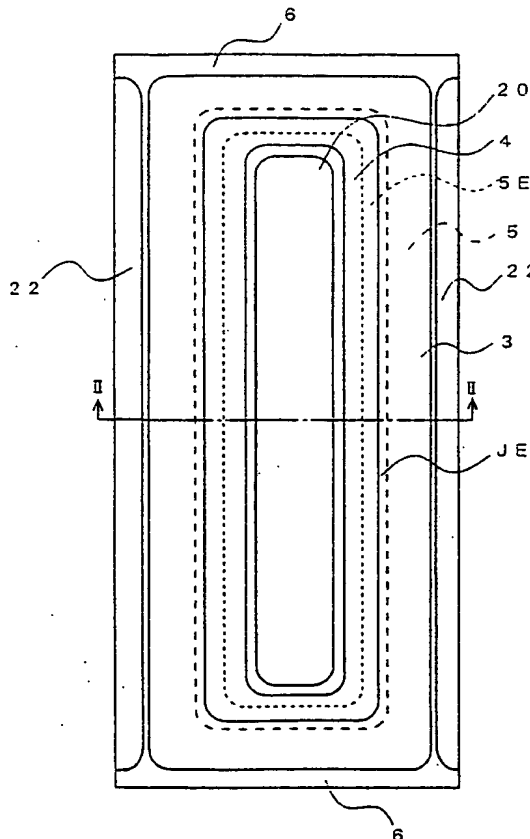
(74) 代理人: 大平 覺, 外 (OHIRA, Satoru et al.); 〒5300001 大阪府大阪市北区梅田 3 丁目 2-14 大弘ビル ヒガシマ特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: GATE TURN-OFF THYRISTOR

(54) 発明の名称: ゲートターンオフサイリスタ



(57) Abstract: A mesa-type wide-gap semiconductor gate turn-off thyristor has a low gate withstand voltage and a large leakage current. Since the ionization rate of P-type impurities greatly increases at high temperatures when compared with that at room temperature, the hole implantation amount increases and the minority carrier lifetime becomes longer. Consequently, the maximum controllable current is significantly lowered when compared with that at room temperature. To solve these problems, a p-type base layer is formed on an n-type SiC cathode emitter layer which has a cathode electrode on one surface, and a thin n-type base layer is formed on the p-type base layer. A mesa-shaped p-type anode emitter layer is formed in the central region of the n-type base layer. An n-type gate contact region is formed sufficiently apart from the junction between the p-type anode emitter layer and the n-type base layer, and an n-type low-resistance gate region is so formed in the n-type base layer that it surrounds the anode emitter layer.

(57) 要約: メサ型のワイドギャップ半導体ゲートターンオフサイリスタでは、ゲートの耐電圧が低く、またリーク電流が大きい。高温時には p 型不純物のイオン化率が室温に比べ大幅に増大するため、ホールの注入量が増えるとともに少数キャリアのライフタイムも伸びるため、最大可制御電流が室温に比べ大幅に低下する。その点を解決するために、一方の面にカソード電極を有する n 型 SiC のカソードエミッタ層の上に p 型ベース層を設け、p 型ベース層の上に薄い n 型ベース層を設ける。n 型ベース層の中央部にメサ型の p 型アノードエミッタ層を設け、n 型ゲートコンタクト領域を p 型アノードエミッタ層と n 型ベース層の接合部から十分離して設けるとともに、n 型低抵抗ゲート領域を n 型ベース層内にアノードエミッタ層を取り囲むように設ける。



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 補正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。